

## **Логически схеми**

Логическите елементи и схеми са импулсни устройства, при които входните и изходните сигнали имат две възможни стойности (състояния), наречени логически нива. Тези нива се означават с двоичните цифри 0 и 1, а поведението на схемите се описва с законите на двоичната логика.

## Параметри и характеристики на логическите схеми (ЛС)

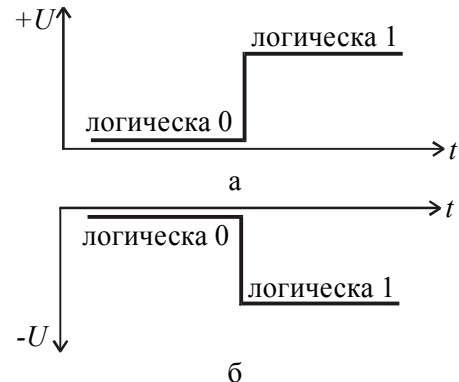
Положителна или отрицателна логика.

Когато на високото ниво е съпоставена логическа 1, а на ниското – логическа 0, логиката е положителна (фиг. 3.19а) и обратно, когато на високото ниво е съпоставена логическа 0, а на ниското – логическа 1, тя е отрицателна (фиг. 3.19б).

Логическа 1 е всяко напрежение, което се намира над определена минимална стойност. Логическа 0 е всяко напрежение, намиращо се под определена максимална стойност.

Между областите на логическата 0 и логическата 1 се намира неопределена област.

Областите на логическата 0 и логическата 1 са различни за изходните и за входните сигнали. Разликата им осигурява шумоустойчивост



б  
Фиг. 3.19.

В зависимост от използваните елементи и схемни решения логическите схеми се обособяват в фамилии:

- резисторно-транзисторната логика (RTL),
- диодно-транзисторната логика (DTL),
- логиката с високи нива (HLL),
- транзисторно-транзисторната логика (TTL),
- емитерно свързаната логика (ECL) и
- интегралната инжекционна логика ( $I^2L$ ).
- N-каналната MOS логика
- комплементарна MOS логика (CMOS)
- интегрирана биполярна CMOS логика (BiCMOS) и
- нисковолтовата логика (LVL).

Най-широко приложение в практиката имат транзисторно-транзисторната логика (TTL) и комплементарната MOS логика (CMOS).

## Транзисторно-транзисторна логика – TTL

TTL схемите се пускат в серийно производство за пръв път от фирмата *Texas Instruments (TI)* през 1966 г.

Тя предлага и означението на тези схеми, което впоследствие е възприето от повечето фирми производители. Това съдържа

Символично означение SS X NN,

където SS е означението на серията,

X е разновидност на серията, а

NN е поредният номер на елемента от серията.

74N00, 54LS74, 74S72, 74ALS245, 54F374, 74AS183 и др.

Основните времеви и електрически параметри на TTL схемите са представени в таблица 3.3.

**Таблица 3.3.** Параметри на TTL схеми

Параметър	Серия							
	-(N)	L	H	S	LS	ALS	AS	F
Време за превключване, ns	9	33	6	3	9,5	4	1,75	3
Тактова честота, MHz	15	2,5	35	75	25	34	105	100
Консумирана мощност, mW	10	1	22	19	2	1,2	8	4
$I_{i\ max}$ при 0, mA	1,6	0,2	2,0	2,0	0,4	0,01	0,05	0,6
$I_{i\ max}$ при 1, $\mu$ A	40	10	50	50	20	20	20	20
$I_{o\ max}$ при 0, mA	16	4 (2)	20	20	8 (4)	8 (4)	20	20
$I_{o\ max}$ при 1, mA	0,4	0,2 (0,1)	0,5	1,0	0,4	0,4	2,0	15
$I_{o\ к.с.}$ с масата, mA	20–55	3–15	40–100	40–100	30–130	60	125	100

Стойностите в скоби са различията за 54 серия.

В цифровата схемотехника често се налага един изход да управлява няколко входа. Броят на входовете, които могат да бъдат управлявани, се задава от

коэффициент на натоварване  $N_Q$ . => отношение на максималния изходен ток към максималния входен ток за този елемент от същата серия, съответно в състояние 0 или 1:

$$(3.24) \quad N_{Q0} = \frac{I_{o\max 0}}{I_{i\max 0}};$$

$$(3.25) \quad N_{Q1} = \frac{I_{o\max 1}}{I_{i\max 1}}.$$

Например за нормалната ( $N$ ) серия коэффициентът на натоварване е

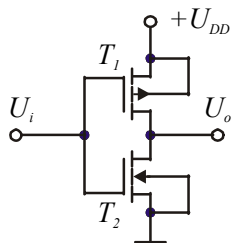
$$N_{Q0} = \frac{16}{1,6} = 10 \text{ и } N_{Q1} = \frac{0,4}{0,04} = 10.$$

Когато се налага свързване на елементи от различни серии, трябва да се изчислят коефициентите на натоварване при 0 и 1 и да се вземе по-малкият.

При управление на товари с по-голяма мощност, се използват елементи с отворен колектор, при които товарът се включва между изхода на схемата и хранващия източник.

Съществуват и елементи, при които товарът може да се включи към външен хранващ източник, чието напрежение може да бъде по-високо от хранващото напрежение на цифровите схеми.

## Комплементарна MOS логика - CMOS



Фиг. 3.20.

Тези схеми се изграждат с MOS транзистори с индуциран канал.

Основната клетка е CMOS инверторът (буфер), показан на фиг. 3.20.

Използва се огледалната симетрия между N-каналния и P-каналния транзистор, чиито дрейнове са свързани последователно и единият транзистор служи за товар на другия.

Таблица 3.7. Параметри на CMOS схеми

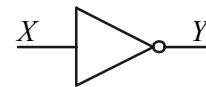
Параметър	Серия		
	4000/74C ( $U_{DD}=15V$ )	HC/HCT	AC/ACT
Време за превключване, ns	40	7	5
Максимална тактова честота, MHz	12	55	150
Изходен ток на нормален изход, mA	0,8	4	24
Ток на късо съединение, mA	10	25	50

## Логически елементи

Логическите елементи са:

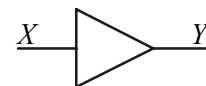
1. Инвертор (схема НЕ – NOT). Той реализира основната логическа функция инверсия  $Y = \bar{X}$ .

Инверторът сменя постъпващото на входа му логическо ниво в противоположното. Логическият символ на инвертора е показан на фиг. 3.21. Индикатор за инверсията е кръгчето в изхода.



Фиг. 3.21.

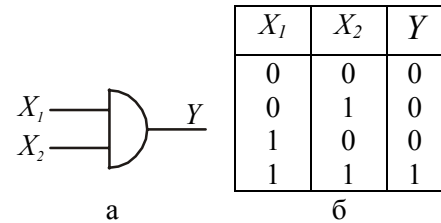
2. Повторител (буфер). Той не променя постъпващото на входа логическо ниво  $Y = X$ . Използва се за увеличаване на товароспособността на логически изход. Логическият символ на повторителя е показан на фиг. 3.22.



Фиг. 3.22.

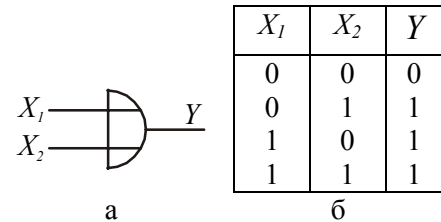


3. Логически елемент И (AND). Той реализира функцията логическо умножение на няколко входни величини  $Y = X_1 X_2$ . Логическият символ и таблицата на истинност за двувходова схема са показани на фиг. 3.23.



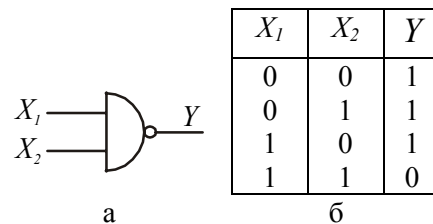
**Фиг. 3. 23.**

4. Логически елемент ИЛИ (OR). Той реализира функцията логическо събиране на няколко входни величини  $Y = X_1 + X_2$ . Логическият символ и таблицата на истинност за двувходова схема са показани на фиг. 3.24.



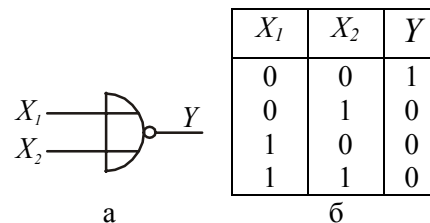
**Фиг. 3. 24.**

5. Логически елемент И-НЕ (NAND). Той обединява функциите логическо умножение и инверсия на няколко входни величини  $Y = \overline{X_1 X_2}$ . Логическият символ и таблицата на истинност за двуходова схема са показани на фиг. 3.25.



Фиг. 3. 25.

6. Логически елемент ИЛИ-НЕ (NOR). Той обединява функциите логическо събиране и инверсия на няколко входни величини  $Y = \overline{X_1 + X_2}$ . Логическият символ и таблицата на истинност за двуходова схема са показани на фиг. 3.26.



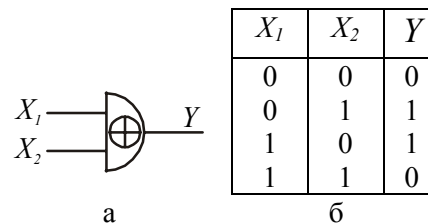
Фиг. 3. 26.

7. Логически елемент ИЗКЛЮЧВАЩО ИЛИ (XOR) (фиг. 3.27). От неговата таблица на истинност могат да се видят основните му приложения:

- реализира логическата функция СУМА ПО МОДУЛ 2

$$Y = X_1 \oplus X_2 = X_1 \bar{X}_2 + \bar{X}_1 X_2;$$

- индицира равенство. Ако входните променливи са равни, изходът е равен на 0 и обратно, при различни входни променливи изходът е равен на 1;
- реализира управляема инверсия. Ако единият сигнал е управляващ, то когато той е равен на 0, изходът повтаря втория сигнал, а когато първият сигнал е равен на 1, изходът е равен на инверсията на втория сигнал.



Фиг. 3. 27.

Схемите могат да са с 2, 3, 4, 8 и повече входове.

Съществуват различни начини за изобразяване на логическите схеми в техническата документация – на фигурите са показани най-популярните и най-често използваните.

## **Комбинационни логически схеми**

Цифровите логически схеми се разделят на комбинационни и последователностни.

Комбинационните логически схеми са тези, при които състоянията на изходите зависят само от текущото състояние на техните входове.

Те не съдържат елементи с памет.

Към комбинационните логически схеми спадат дешифраторите, мултиплексорите, суматорите, цифровите компаратори и др.

## Дешифратор

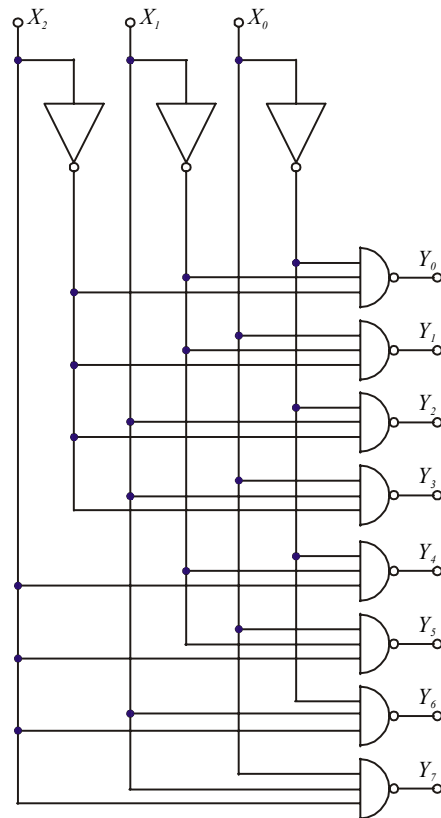
Комбинационна логическа схема (фиг. 3.28), която при определена комбинация на входните променливи активира определен изход.

При  $n$  входа максималният възможен брой изходи е  $m=2^n$ .

Дешифратори, които притежават максималния брой изходи, се наричат *пълни*.

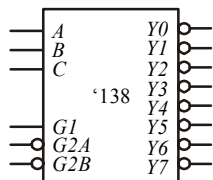
Обикновено активното изходно ниво на интегралните дешифратори е логическа 0.

$X_2$	$X_1$	$X_0$	$Y_0$	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_5$	$Y_6$	$Y_7$
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0



Фиг. 3.28.

На фиг. 3.29 е показано означението на интегралния дешифратор '138. Той функционира според горната таблица на истинност, като притежава и три управляващи входа –  $G_1$ ,  $\overline{G}_{2A}$  и  $\overline{G}_{2B}$ .



**Фиг. 3.29.**

Работата на дешифратора ще бъде разрешена само когато и трите входа са активни – на  $G_1$  е подадена логическа 1, а на  $G_{2A}$  и на  $G_{2B}$  – логическа 0. При липса на разрешение всички изходи на дешифратора ще бъдат в състояние

логическа 1, което е неактивното състояние на тази схема.

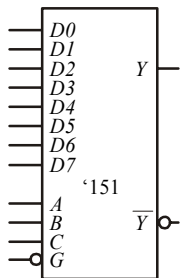
## Мультиплексор

Комбинационна логическа схема, която притежава няколко информационни входа и един изход.

Той се управлява от адресна логика, определяща кой от входните сигнали ще бъде пропуснат към изхода.

При  $n$  адресни входа, максималният брой информационни входове е  $m=2^n$ .

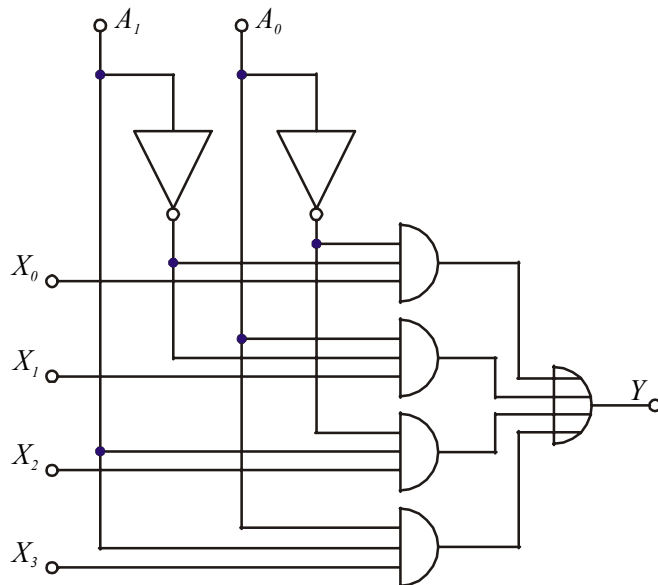
Мультиплексори, които притежават максимален брой информационни



Фиг. 3.31.

входове, се наричат *пълни*.

Мультиплексорите в интегрално изпълнение притежават 2, 4, 8 и 16 информационни входа.



Фиг. 3.30.

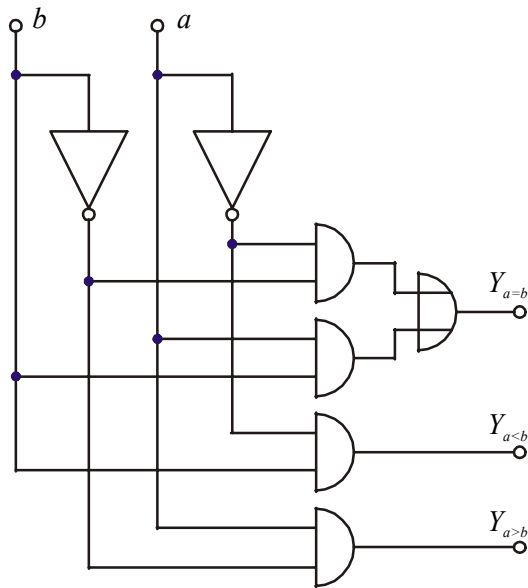
## Цифрови компаратори

Комбинационни логически схеми, които сравняват две числа  $A$  и  $B$ .

В резултат на сравняването е възможно едно от трите състояния:  $A=B$ ,  $A<B$  и  $A>B$ .

Най-простият компаратор на равенство е схемата *ИЗКЛЮЧЩО ИЛИ*.

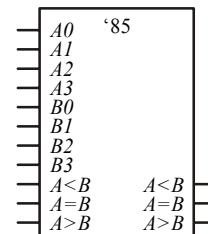
Компаратори, които могат да регистрират и трите състояния, се наричат *магнитудни*.



Фиг. 3.32.

$a$	$b$	$Y_{a>b}$	$Y_{a=b}$	$Y_{a<b}$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

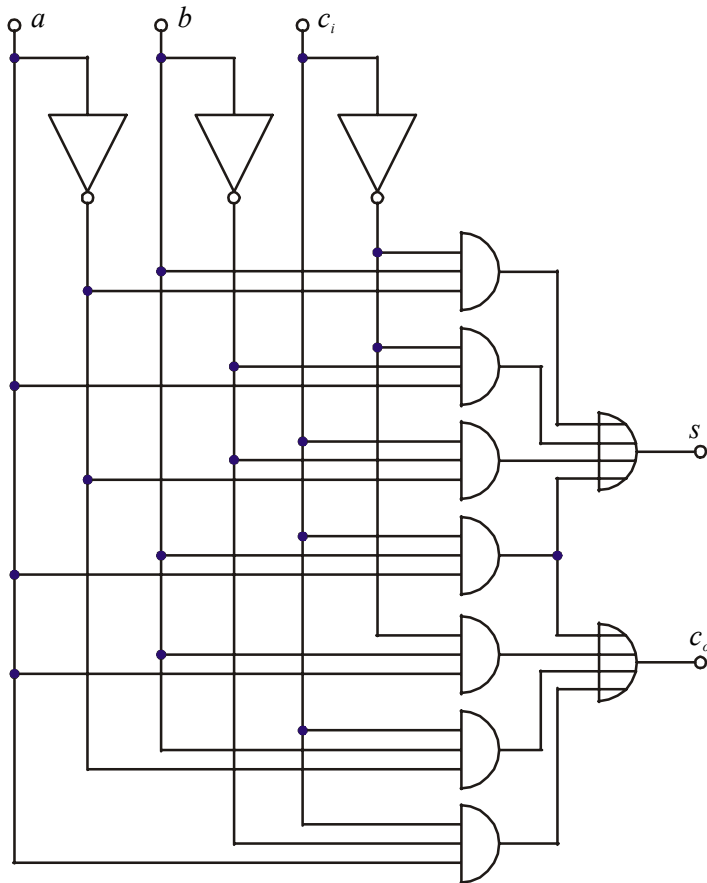
На фиг. 3.32 са показани схемата и таблицата на истинност на магнитуден компаратор, сравняващ две еднозначни числа.



Фиг. 3. 33.



### Суматори



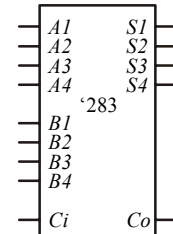
Фиг. 3.35.

$a$	$b$	$c_i$	$s$	$c_o$
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Фиг. 3.34.

Комбинационни логически схеми, които извършват сумиране на двоични числа.

Ако суматорът не отчита входящия пренос, той се нарича полу-суматор.



Фиг. 3.36.

## Последователностни логически схеми

Последователностните логически схеми притежават свойството да запомнят въздействието на входящите сигнали.

Затова те се наричат още “устройства с памет”.

Изходните състояния при последователностните схеми зависят не само от новото състояние на входните променливи, но и от старото състояние на запомнящите елементи на схемите.

При последователностната логика е въведена обратна връзка, която осигурява възможността за запомняне на състоянията.

Основните запомнящи клетки на последователностните схеми са *тригерите*.

Тригерите се разделят на два основни типа – асинхронни и синхронни.

При асинхронните тригери входните сигнали въздействат върху състоянието на тригера непосредствено със своето появяване.

При синхронните тригери се въвежда допълнителен синхронизиращ (тактов) вход, който се означава с  $C$  (Clock). Тригерът променя състоянието си след постъпване на активен сигнал на този вход.

В зависимост от управлението на тактовия вход синхронните тригери са:

- синхронни тригери с управление по нивото на тактовия сигнал. Състоянието на тригера се променя през цялото време докато има активно логическо ниво на синхронизиращия вход. На практика синхронизиращият сигнал изпълнява функция на разрешаващ и се означава с  $E$  (Enable). Тези тригери се наричат още статични синхронни тригери;
- синхронни тригери с управление по фронта на тактовия сигнал. Състоянието на тригера се променя само по време на активния фронт на тактовия сигнал. Тези тригери се наричат динамични синхронни тригери или тригери с динамичен вход.

Основните времеви параметри на тригерите са:

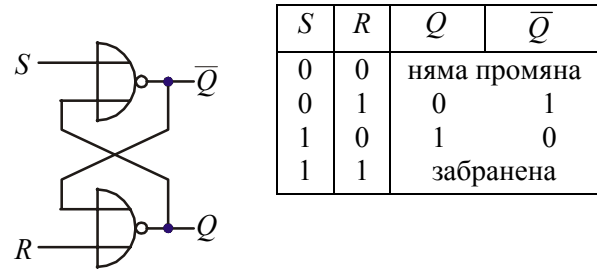
- време на предхождане –  $t_s$  – времето преди постъпване на синхронизиращия импулс, през което сигналите на информационните входове трябва да са установени;
- време на задържане –  $t_h$  – времето след активния фронт на тактовия сигнал, през което сигналите на информационните входове трябва да останат неименни;
- време на превключване –  $t_Q$  – времето от постъпване на активния фронт на тактовия сигнал до установяване на новото изходно състояние на тригера;
- минимална продължителност на тактовия сигнал –  $t_W$ ;

- максимална тактова честота – честотата, до която тригерът може да превключва правилно –  $f_{max}$ .

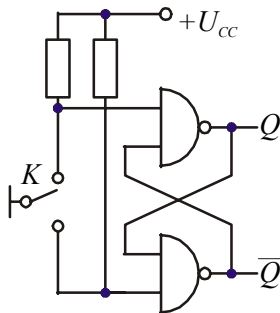
*RS-тригерите* са основната клетка, която се използва във всички по-сложни тригери.

На фиг. 3.37 е показана схема на RS-тригер, изграден с елементи ИЛИ-НЕ с обратни връзки. Активното ниво на входните сигнали е 1. Действието на тригера се обяснява с таблицата на истинност.

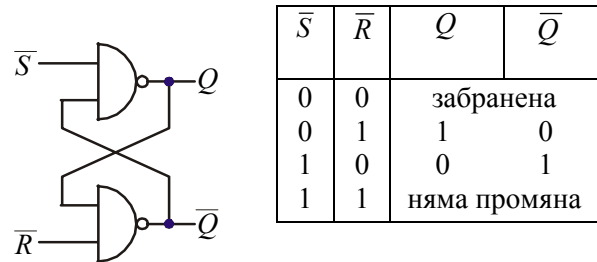
Схемата може да се изгради и с логически елементи И-НЕ (фиг. 3.38). Тогава активното ниво на входовете е 0, което се вижда от таблицата за истинност.



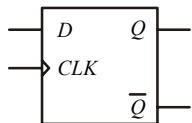
**Фиг. 3.37.**



**Фиг. 3.39.**



**Фиг. 3.38.**



**Фиг. 3.41.**

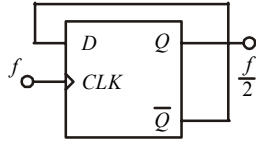
*D-тригерът* (фиг. 3.41) притежава един информационен вход, означаван с  $D$  (Delay–закъснение).

Логическото ниво на този вход се появява на изхода след постъпването на тактов импулс.

Видно е, че  $D$ -тригерът представлява елементарна клетка памет.

Информацията от входа  $D$  се установява в изхода  $Q$  след един такт закъснение, затова той се нарича още закъснителен тригер.

*T-тригерът* е синхронен тригер, който притежава само един вход. При постъпване на импулс на този вход тригерът се превключва. Нарича се още тригер с броячен вход или броячен тригер, защото е основна клетка в много схеми на броячи. В интегрално изпълнение не съществуват T-тригери, тъй като лесно се получават от другите видове.



**Фиг. 3.42.**

Ако се използва D-тригер, се получава съкратен T-тригер, чрез свързването на изхода  $\bar{Q}$  с входа D (фиг. 3.42).

Тъй като T-тригерът превключва при постъпването на всеки тактов импулс, той изпълнява функцията на делител на две, т.е. честотата в изхода му е два пъти по-ниска от входната честота.

*Броячът* представлява последователностна логическа схема с много устойчиви състояния, които се определят еднозначно от броя на постъпилите импулси.

Той се състои от тригерни клетки, всяка от които съхранява по един разряд от числото, съответстващо на изброените импулси.

Според използваната система на броене броячите се делят на:

- двоични – регистрират импулсите в двоична бройна система;
- десетични – регистрират импулсите в десетична бройна система, а всяка десетична цифра е представена като сума от първите четири степени на 2 (двоично-десетичен код);
- с произволен коефициент на броене – броячите от тази група използват друга система на броене.

В зависимост от начина на броене броячите са:

- сумиращи – увеличават с 1 регистрираното в тях число при постъпването на входен импулс;
- изваждащи – намаляват с 1 регистрираното в тях число при постъпването на входен импулс;
- реверсивни – могат да работят и в режим на сумиране, и в режим на изваждане.



Според начина на възприемане на входните импулси съществуват:

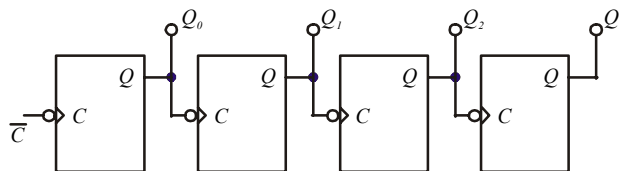
- асинхронни – броячи, тригерите на които превключват по различно време (асинхронно) спрямо постъпването на входния импулс, като всеки следващ тригер получава тактов импулс от предходния;
- синхронни – броячи, чиито тригери превключват едновременно (синхронно) спрямо постъпването на входния импулс, като всички тригери получават този импулс;
- смесени – броячи, при които някои тригери превключват синхронно, а други асинхронно.

Основните параметри на броячите са:

- модул на броене  $N$  – максималният брой състояния, които броячът може да заеме. Максималният модул на броене за двоичния брояч е равен на  $2^n$ , където  $n$  е броят на тригерите, съставлящи схемата;
- капацитет на брояча – максималният брой импулси, които броячът може да регистрира. За двоичен брояч капацитетът е  $2^n - 1$ . След регистриране на максималния брой импулси броячът се връща в изходно състояние;
- минимална продължителност на тактовия импулс –  $t_{Wmin}$ , гарантираща регистрирането му;
- максимална тактова честота –  $f_{max}$  – най-високата честота на импулсите, при която те могат да бъдат регистрирани;

- време на регистрация –  $t_Q$  – максималното време от момента на постъпването на активния фронт на тактовия импулс до момента на установяване на изходите на брояча в новото състояние.

На фиг. 3.43 е показана схема на асинхронен брояч с непосредствена връзка между тригерите, който работи в режим на сумиране.



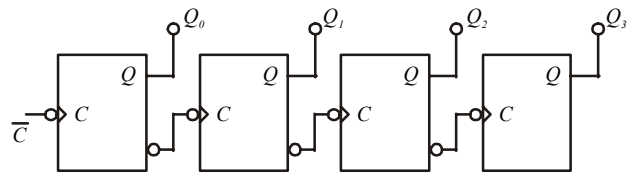
**Фиг. 3.43.**

Броячът е съставен от Т-тригери.

Тригерите се задействат от задния фронт на тактовите импулси.

Всеки следващ тригер получава тактов импулс от правия изход на предходния. Новото състояние във всеки изход ще се установява по различно време спрямо момента на постъпване на входния импулс и закъснението ще бъде равно на сумата от закъсненията на всички тригери, предхождащи даден изход. Броячът е двоичен и притежава 16 състояния, а максималният брой импулси, който може да регистрира, е 15. Броячът увеличава съдържанието си до 15, а шестнадесетият импулс го установява в състояние 0.

Режимът на броене ще се смени, когато входният сигнал за всеки следващ тригер се получава от инверсията на изхода на предходния (фиг. 3.44). Броячът работи в режим на изваждане и притежава същия модул на броене и капацитет като сумиращия. След състояние 0 входният импулс го установява в състояние 15, а всеки следващ импулс намалява съдържанието му.



**Фиг. 3.44.**

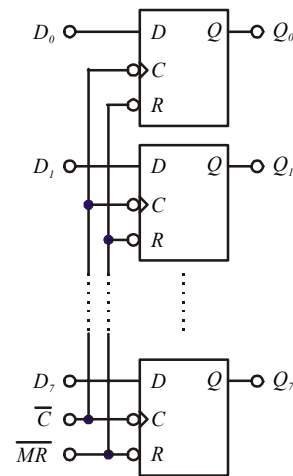
**Фиг. 3.45.**

*Регистрите* са предназначени за съхраняване на цифрова информация за определено време. Те се изграждат от тригери. Съществуват паралелни и последователни регистри.

**Паралелните регистри** позволяват да се запомни подадената на входовете им комбинация от двоични разряди и да се съхранява до следващия сигнал за запис. Те могат да се изградят от D-тригери (фиг. 3.47).

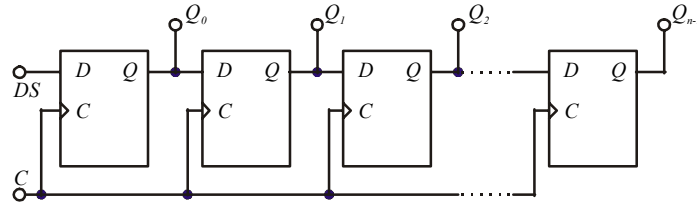
Паралелните регистри могат да се класифицират в три обобщени типа:

- запомнящи устройства с произволен достъп, предназначени за запис и четене;
- адресируеми фиксатори, при които може да се осъществи достъп до отделен разряд без да се променят останалите;
- буферни регистри, които се включват към входовете и изходите на различни устройства, например аналогово-цифрови и цифрово-аналогови преобразуватели.



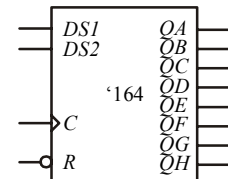
**Фиг. 3.47.**

**Преместващият регистър** представлява група от последователно свързани тригери, така че след постъпване на тактов импулс информацията от даден тригер да се премести в съседния. Те най-често се изграждат с D-тригери (фиг. 3.48). Към D-входа на първия тригер се подава входният сигнал  $DS$ , а изходът на последния тригер е последователния изход на преместващия регистър. Изходите на всички тригери формират паралелния изход на преместващия регистър. Всички тригери се тактуват едновременно. При всеки тактов импулс информацията се премества с един разряд надясно, а първият тригер запомня моментното състояние на входния сигнал  $DS$ .



Фиг. 3.48.

Съществуват преместващи регистри, които преместват информацията **надясно**, и други, които преместват информацията **наляво**. **Реверсивните** преместващи регистри работят и в двата посочени режима.



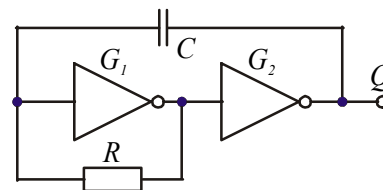
Фиг. 3.49.

## Генератори на правоъгълни импулси (релаксатори) с логически елементи

На фиг. 3.50 е показана схема на релаксатор с два инвертора и  $RC$ -група. Инверторите са обхванати от положителна обратна връзка чрез кондензатора  $C$ . Когато изходът  $Q$  е равен на 1, кондензаторът се зарежда така, че напрежението на входа на  $G_1$  се стреми към 0. При достигане на праговото напрежение в изхода на  $G_1$  се установява 1, а в изхода на  $G_2 - 0$ . Зарядният ток на кондензатора си променя посоката. Входното напрежение на  $G_1$  се стреми да достигне стойността на логическата 1. При достигане на праговото напрежение схемата се връща в първото квазиустойчиво състояние – в изхода на  $G_1$  се установява 0, а в изхода на  $G_2 - 1$ . Честотата на импулсите е

$$(3.28) \quad f \approx \frac{1}{3RC}.$$

Ако резисторът  $R$  е променлив, стойността на честотата ще може да се регулира. Трябва да се отбележи, че през резистора  $R$  тече и входният ток на  $G_1$ , който за някои схеми не може да се пренебрегне. Следователно за стойността



Фиг. 3.50.

на този резистор трябва да се въведат ограничения. Например за серията LS стойността на резистора трябва да е в границите от 480–1800Ω.

Честотата на генерираните от RC-релаксаторите сигнали може да е до около 30MHz. Недостатък на този клас схеми е относително ниската стабилност на честотата.

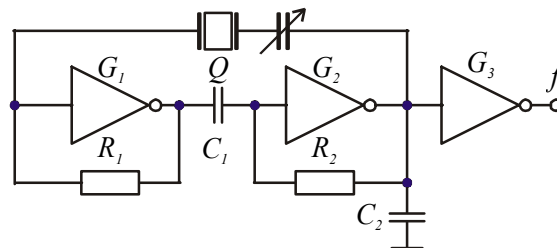
За получаване на импулси с висока точност и стабилност на честотата се използват кварцово стабилизирани релаксатори (фиг. 3.51). Инверторите  $G_1$  и  $G_2$  са обхванати от положителна обратна връзка. Кондензаторът  $C_1$  ги разделя по постоянен ток. Кварцовият резонатор  $Q$  е включен във веригата на положителната обратна връзка заедно с донастройващ кондензатор. Кондензаторът  $C_2$  потиска висшите хармоници, като стойността му се определя с израза

$$(3.29) \quad C_2 = \frac{680}{f},$$

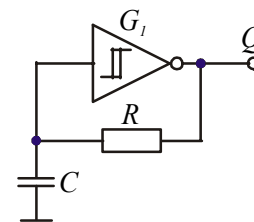
като  $f$  е изходната честота в MHz, а стойността на  $C_2$  е в pF.

Инверторът  $G_3$  е буфер за изходните импулси.

Широко приложение в цифровата схемотехника намират логически елементи с тригер на Шмит след входните изво-



Фиг. 3.51.



Фиг. 3.52.

ди. Освен за формиране на правоъгълни импулси тригерите на Шмит се използват често в схеми на релаксатори поради необходимостта от малко на брой компоненти. На фиг. 3.52 е показана схема на релаксатор, използващ инвертор с тригер на Шмит на входа (интегралната схема '14 съдържа шест такива елемента) и RC-интегрираща верига. Напрежението на кондензатора се променя по експоненциален закон между двата прага на тригера на Шмит. Когато изходът  $Q$  е в състояние 1, кондензаторът се зарежда, като напрежението му се стреми към стойността на изходната логическа 1. След превключването на схемата започва разряд на кондензатора и неговото напрежение се стреми към стойността на логическата 0 в изхода  $Q$ . Периодът на генерираните импулси се изчислява съгласно израза

$$(3.30) \quad T = RC \ln \frac{E_1(U_o^1 - E_2)}{E_2(U_o^1 - E_1)},$$

където  $E_1$  и  $E_2$  са праговете напрежения на тригера на Шмит.



С логически елементи могат да се синтезират и схеми на **чакащи мултивибратори**. Произвеждат се интегрални схеми на чакани мултивибратори, които имат редица възможности:

- задаване продължителността на генерирания импулс чрез включване на външни пасивни елементи (най-често резистор и кондензатор);
- наличие на входове за стартиране на изходния импулс по предния или по задния фронт на входните импулси;
- наличие на входове за нулиране, като изходният импулс се прекратява след подаване на активен сигнал на тези входове;
- удължаване на изходния импулс – схемата възприема стартов импулс по време на генериране на изходния импулс, което води автоматично до генериране на изходен импулс със зададената продължителност от този момент.

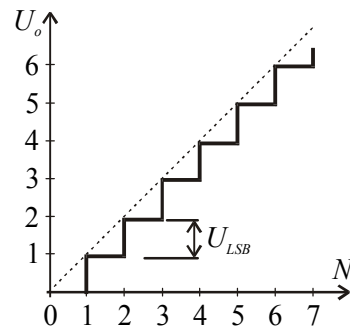
Типичен пример е интегралната схема '123, която съдържа два чакани мултивибратора, притежаващи всички изброени възможности.

## Цифрово – аналогови преобразуватели

Цифрово-аналоговите преобразуватели (ЦАП) се използват за преобразуване на код в аналогов сигнал, най-често напрежение. Понастоящем се изпълняват като монолитни интегрални схеми. С тях се осъществява връзка между цифрово устройство (микроконтролер или микропроцесорна система) и аналогово периферно устройство.

Поради дискретния характер на цифровата величина  $N$  предавателната характеристика на ЦАП представлява начупена линия (фиг. 3.53). Изходното напрежение  $U_o$  може да приема дискретни стойности в обхвата с отклонение  $\pm 1/2 U_{LSB}$ , където  $U_{LSB}$  е теглото на най-младшия разряд на цифрово-аналоговия преобразувател. Височината на едно стъпало е равна на  $U_{LSB}$ . Линията, която свързва стъпалата, се нарича идеализирана предавателна характеристика.

Грешките при цифрово-аналоговите преобразуватели се делят на компенсируеми и некомпенсируеми. Към първите спадат грешката от изместване на нулата и грешката от коефициента на предаване. Чрез използване на допълнителни елементи или настройка тези грешки могат да бъдат компенсирани.



Фиг. 3.53.

Некомпенсируеми са грешката от нелинейност и грешката от тегло на разряд. Сумата на всички некомпенсируеми грешки не трябва да надхвърля  $\pm U_{LSB} / 2$ .

*Бързодействието* на цифрово-аналоговите преобразуватели се определя от времето за установяване (settling time) -  $t_s$ , което се измерва от момента на смяна на входен код  $N=0$  с код  $N=N_{max}$  до момента, в който изходното напрежение се установи на съответната стойност с точност  $\pm 0,5U_{LSB}$ .

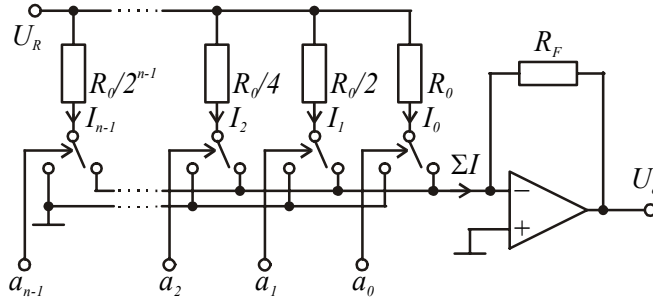
Според *разрядността и бързодействието* цифрово-аналоговите преобразуватели могат да се разделят на:

- *високоскоростни* – имат разрядност до 8 бита и време на преобразуване до 10ns;
- *със средно бързодействие* (конвенционални, с общо предназначение) – имат разрядност 8÷12 бита и време на преобразуване до 1 $\mu$ s;
- *с висока точност* – имат разрядност 16 и повече бита и сравнително голямо време на преобразуване около 10 – 100 ms.

Цифрово-аналоговите преобразуватели изискват включването на източник на опорно напрежение (reference voltage) –  $U_R$ . Неговата стойност определя максималната стойност на изходното напрежение на преобразувателя -  $U_{omax}$ . Тази стойност още се нарича *напрежение на пълната скала* (full scale) -  $U_{FS}$ . Тя ще се получи, когато кодът  $N$  е равен на  $N_{max}$ . За двоичен код това означава всички разряди да бъдат равни на 1. В сила е зависимостта

$$(3.31) U_{o\max} = U_R - U_{LSB}.$$

Схемата на **двоичен цифрово-аналогов преобразувател** с  $n$ -разряда, който работи със **сумиране на токовете**, е показана на фиг. 3.54. Токовете се отнасят помежду си както степените на две. В сумата участват токовете, чиито съответстващи разряди са равни на 1.



**Фиг. 3.54.**

Изходното напрежение на цифрово-аналоговия преобразувател е:

$$\begin{aligned}
 (3.32) \quad U_o &= -R_F \Sigma I = -R_F (I_0 a_0 + I_1 a_1 + I_2 a_2 + \dots + I_{n-1} a_{n-1}) = \\
 &= -R_F \left( \frac{U_R}{R_0} a_0 + \frac{2U_R}{R_0} a_1 + \frac{4U_R}{R_0} a_2 + \dots + \frac{2^{n-1} U_R}{R_0} a_{n-1} \right) = \\
 &= -\frac{R_F}{R_0} U_R (a_0 2^0 + a_1 2^1 + a_2 2^2 + \dots + a_{n-1} 2^{n-1}) = -\frac{R_F}{R_0} U_R N
 \end{aligned}$$

Стойността на най-младшия разряд е  $U_{LSB} = -\frac{R_F}{R_0} U_R$ .

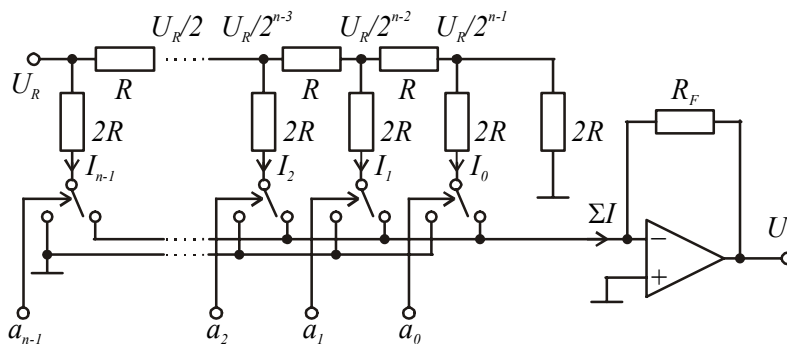
От израза (3.32) се вижда, че когато един разряд е равен на 1, дадената степен на две ще участва в образуването на числото  $N$ . Физическото отражение на тази зависимост е, че токът от съответния клон ще участва в сумата  $\Sigma I$  и във формирането на изходното напрежение.

Токът, който протича през резисторите, не се променя. Източникът на опорно напрежение има постоянен товар  $R_0 / (2^n - 1)$  и не е задължително да има ниско изходно съпротивление.

При разработването на интегрални схеми на високоразрядни цифрово-аналогови преобразуватели се налага реализирането на високоточни резистори, силно различаващи се по стойност. Това представлява значителна трудност в интегралната схемотехника. По тази причина се използва резисторна матрица, в която чрез последователно делене на напрежение или на ток се реализират тегловните коефициенти на отделните разряди. При използване на двоична бройна система стойностите на резисторите в матрицата са  $R$  и  $2R$ . Затова тя се нарича  $R$ - $2R$  матрица. Тя има две основни свойства:

- коефициентът на делене на напрежението от възел до възел е 2;
- характеристичното съпротивление на матрицата е  $R$ , а съпротивлението, с което даден възел се натоварва от следващите звена на матрицата е  $2R$ .

**Схема на цифрово-аналогов преобразувател с  $R$ - $2R$  матрица.**



**Фиг. 3.55.**

Изходното напрежение е

$$(3.33) \quad U_o = -\frac{R_F}{2^n R} U_R N,$$

а теглото на най-младшия разряд е  $U_{LSB} = -\frac{R_F}{R} \frac{U_R}{2^n}$ .

Източникът на опорно напрежение е постоянно натоварен със съпротивление  $R$ .

В повечето от интегралните цифрово-аналогови преобразуватели резисторът  $R_F$  е интегриран в интегралната схема, а в някои от тях са интегрирани и операционният усилвател, и източникът на опорно напрежение.

## Аналогово – цифрови преобразуватели

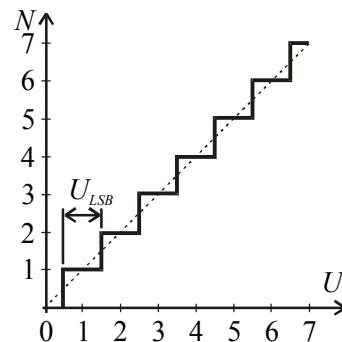
Аналогово-цифровите преобразуватели (АЦП) преобразуват аналогова величина, най-често напрежение в цифров код. В преобладаващата си част те се произвеждат в интегрално изпълнение. Използват се за връзка между източник на аналогов сигнал и цифрова измервателно-управляваща система. Те са основата на цифровите измервателни уреди – цифрови волтметри, амперметри, омметри, мултиметри и др. Неделима част са от цифровите устройства за измерване и управление на неелектрически величини – температура, налягане, влажност и др.

Предавателната характеристика на АЦП представлява начупена линия (фиг. 3.56) и се описва с израза

$$(3.34) \quad N = \frac{U_i}{U_{LSB}}.$$

Поради дискретния характер на изходната величина възниква систематична грешка, която се нарича грешка от дискретизация (грешка от квантоване), която е в рамките на  $\pm 0,5U_{LSB}$ .

При аналогово-цифровото преобразуване съществува и друга грешка, която се нарича апертурна и има динамичен характер. Тя се обуславя от крайното време за преобразуване на АЦП. Апертурна грешка ще възникне, ако за



Фиг. 3.56.



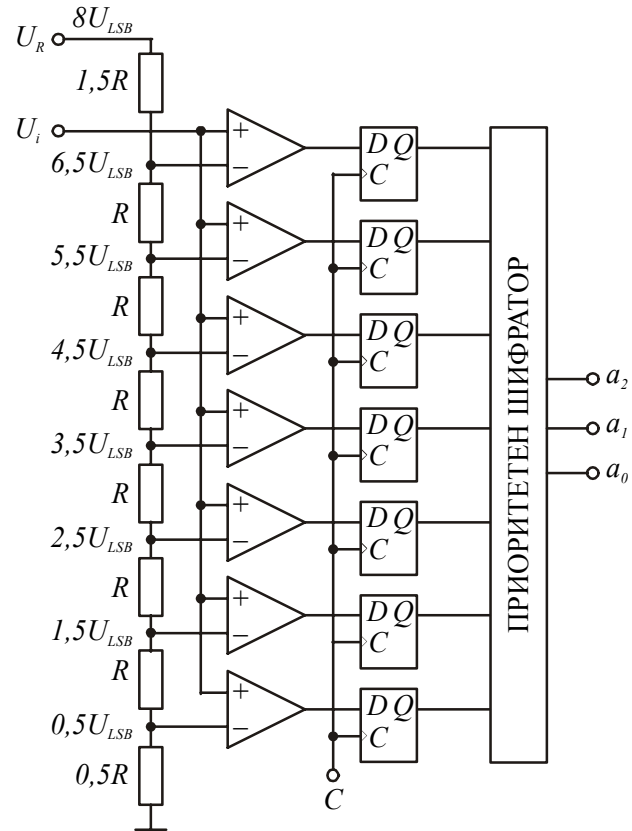
времето на преобразуване на АЦП входното напрежение се измени с повече от  $1U_{LSB}$ . Апертурната грешка се преодолява с включването на схеми за следене и запомняне S/H (Sample/Hold), които още се наричат аналогова памет на входа на аналогово-цифровия преобразувател. Те запомнят дадена моментна стойност на входното напрежение за времето на преобразуване на АЦП. Най-общо аналогово-цифровите преобразуватели се изграждат по три основни метода:

- *паралелен* – при него входното напрежение се сравнява едновременно с  $2^n-1$  опорни напрежения и се определя между кои нива се намира. По този метод се изграждат най-бързите преобразуватели, защото преобразуването се извършва за един такт и продължава няколко наносекунди. Недостатък е ниската разрядност на преобразувателите;
- *тегловен* – при него цифровият код се определя след премерване на теглото на всеки разряд във входното напрежение. Резултатът се получава след толкова тактове, колкото е броят на разрядите на АЦП. По този метод се изграждат най-разпространените (конвенционални) АЦП с разрядност 10–12 бита и време на преобразуване до 10  $\mu$ s;
- *преброителен* – при него цифровата стойност се получава след последователно преброяване на количеството  $U_{LSB}$ , които се съдържат във входното напрежение. Резултатът се получава след  $2^n$  такта, където  $n$  е разрядността на аналогово-цифровия преобразувател. По този метод се изграждат високоразрядни, но бавни АЦП.

Някои аналогово-цифрови преобразуватели работят с преобразуване на входната величина в междинна – честота, период, фазова разлика, коефициент на запълване и др., и последващо измерване на тази величина. Тези преобразуватели имат своите предимства и недостатъци и се използват за характерни приложения.

**Паралелният аналогово-цифров преобразувател** изисква формирането на  $2^n - 1$  опорни напрежения, колкото е броят на стъпалата в предавателната характеристика. Това най-лесно се постига чрез използването на един източник на опорно напрежение и резистивен делител.  $2^n - 1$  на брой компаратори сравняват едновременно входното напрежение с всички опорни напрежения. Изходните нива на компараторите се преобразуват в цифров код.

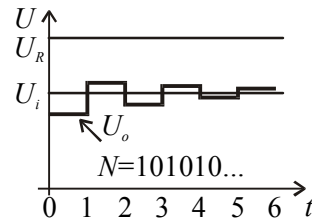
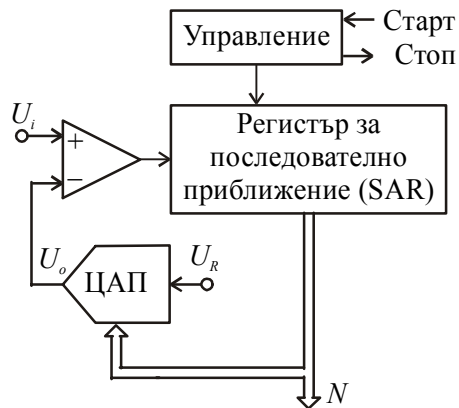
На фиг. 3.57 е показан 3-разряден паралелен аналогово-цифров



Фиг. 3.57.

преобразувател. Броят на компараторите е 7. За всеки от тях се формира опорно напрежение от източника  $U_R$  и резистивния делител. Стойността на опорното напрежение е избрана  $U_R = 2^n U_{LSB} = 8 U_{LSB}$ . Поради факта, че първото и последното стъпало от предавателната характеристика са равни на  $0,5 U_{LSB}$ , първият резистор има стойност  $0,5R$ , а последният -  $1,5R$ . След подаване на входното напрежение сработват всички компаратори, чиито опорни напрежения са по-малки от входното. Изходните нива на компараторите се запомнят в D-тригери. Двоичният код се преобразува от приоритетен шифратор, който представлява комбинационна логическа схема с функция, обратна на тази на дешифратора. В изхода на шифратора се генерира адресът на активирания вход. Така в изхода на паралелния АЦП се получава номерът на най-старшия сработил компаратор, който е равен на двоичния код на входното напрежение. Изграждането на високоразрядни паралелни АЦП се затруднява от значително поради нарастващия брой на компараторите и усложняването на шифратора.

*Тегловният* метод за изграждане на аналогово-цифрови преобразуватели се нарича още **метод за последователно приближение или метод за поразрядно кодиране**. Основен елемент на този клас АЦП е регистърът за последователно приближение – SAR (Successive Approximation Register), наричан още регистър за поразрядно кодиране. На фиг. 3.58 са показани блоковата схема и времедиаграма на процеса на преобразуване на АЦП с поразрядно кодиране.



**Фиг. 3.58.**

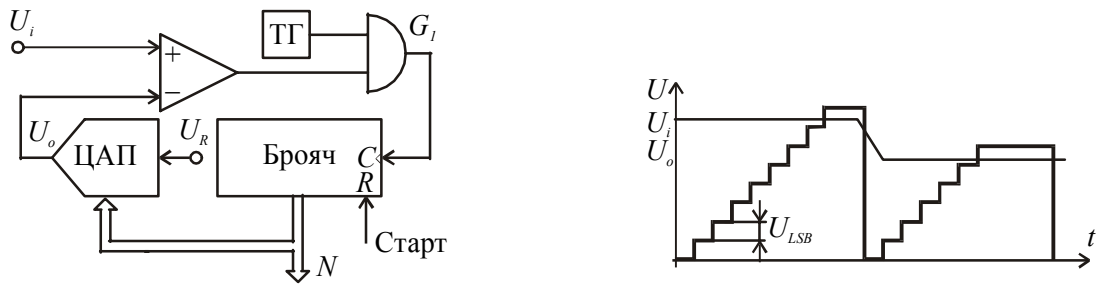
**Блоковата схема** се състои от компаратор, цифрово-аналогов преобразувател, регистър за последователно приближение и логика за управление. Разрядността на аналогово-цифровия преобразувател се определя от разрядността на цифрово-аналоговия преобразувател. Регистърът за последователно приближение подава цифров код към ЦАП. Компараторът сравнява неговото изходно напрежение с входното напрежение  $U_i$ .

Диапазонът на преобразуване се определя от стойността на опорното напрежение  $U_R$ . Процесът на преобразуване започва с нулиране на всички разряди на кода  $N$ . След това най-старшият разряд се установява в 1 и на изхода на ЦАП се формира напрежение, съответстващо на половината от диапазона на преоб-

разуване. Ако входното напрежение е по-високо, разрядът остава в 1, а ако е по-ниско, разрядът се установява в 0. След това се продължава със следващите разряди, чиито тегла са  $1/4$ ,  $1/8$ ,  $1/16$  и т.н. от диапазона на преобразуване. Преобразуването продължава толкова такта, колкото са разрядите на преобразувателя. Числото, подадено към ЦАП след последния такт представлява цифровия код на входното напрежение.

**Преброятелният** метод позволява да се изградят с прости средства аналогово-цифрови преобразуватели, с които се постига висока точност. Времето за преобразуване при тях е голямо, като броят на тактовете е равен на броя  $U_{LSB}$ , които се съдържат във входното напрежение.

На фиг. 3.59 е показана схема и времедиаграма на преобразуване на преброятелен АЦП. Схемата съдържа цифрово-аналогов преобразувател, компаратор, сумиращ брояч, тактов генератор и електронна врата. Компараторът сравнява входното напрежение и изходното напрежение на ЦАП. Изходът на компаратора управлява единия вход на схема И, която изпълнява функцията на електронна врата.



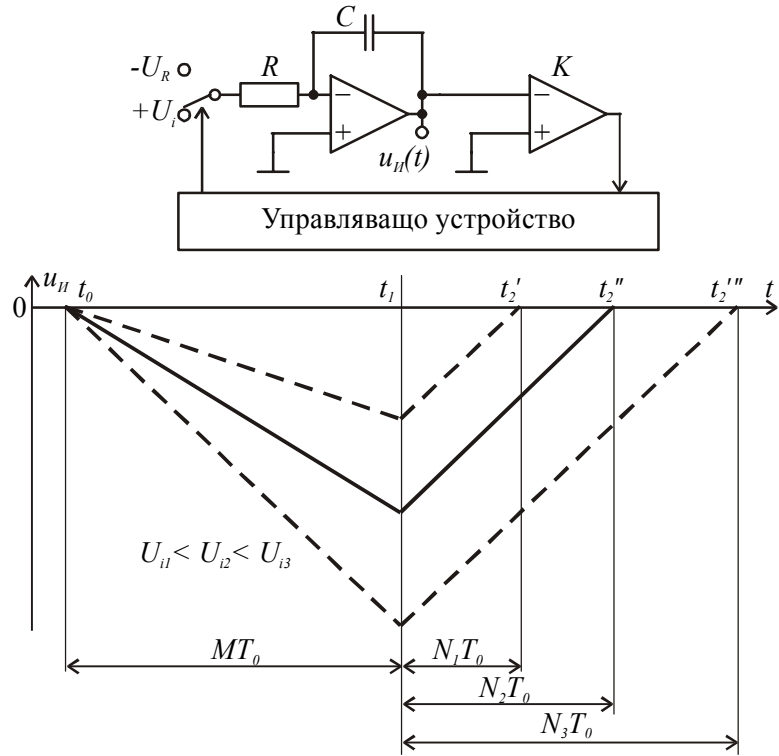
**Фиг. 3.59.**

Преобразуването започва с подаване на активен сигнал за асинхронно нулиране на брояча. В този момент изходното напрежение на ЦАП става равно на нула. Ако входното напрежение  $U_i$  е по-голямо от изходното напрежение на

ЦАП, компараторът установява високо ниво в изхода си и разрешава импулсите от тактовия генератор да преминават през схемата И. От нейния изход те постъпват към тактовия вход на брояча. Числото  $N$ , което се съдържа в брояча, се увеличава. Увеличава се и изходното напрежение на ЦАП. Когато то превиши стойността на входното напрежение, компараторът сменя нивото в своя изход. Ниското ниво, подадено към единия вход на схемата И, прекратява пропускането на тактовите импулси към брояча. Числото  $N$ , което се съдържа в него, е цифровият код на входното напрежение.

Към преброителните аналогово-цифрови преобразуватели спадат и тези, които използват интегратор в схемата. Най-популярният и с най-широко приложение от тях е *АЦП с двукратно интегриране* (фиг. 3.60).

Схемата се състои от интегратор, компаратор, аналогов ключ и управляваща логика. По време на първия такт към входа на интегратора се включва неизвестното напрежение  $+U_i$ , което се интегрира за точно определено време  $MT_0$ . В зависимост от стойността на входното напрежение в изхода на интегратора се получава различно по стойност напрежение. След края на първия такт към входа на интегратора се включва опорно напрежение с обратен знак на входното напрежение  $-U_R$ .



Фиг. 3.60.



Започва вторият такт, при който напрежението в изхода на интегратора се изменя в обратна посока. Вторият такт продължава до момента, в който напрежението на интегратора стане равно на нула. Тъй като всеки път се интегрира едно и също напрежение, наклонът на изходното напрежение на интегратора винаги е един и същ. По този начин продължителността на втория такт  $NT_0$  се получава пропорционална на стойността на входното напрежение. Видно е, че на по-високото входно напрежение отговаря по-голям временен интервал, формиран при втория такт на интегриране.

Изходното напрежение на интегратора в края на първия такт ще бъде:

$$(3.35) \quad U_H(t_1) = -\frac{1}{RC} \int_{t_0}^{t_1} U_i dt = -\frac{1}{RC} U_i MT_0.$$

След края на втория такт за напрежението в изхода на интегратора може да се запише:

$$(3.36) \quad U_H(t_2) = U_H(t_1) - \frac{1}{RC} \int_{t_1}^{t_2} (-U_R) dt = -\frac{1}{RC} U_i MT_0 + \frac{1}{RC} U_R NT_0.$$

След приравняване на  $U_H(t_2) = 0$  и извършване на съкращенията следва:

$$(3.37) \quad U_i = |U_R| \frac{N}{M}.$$

Изразът (3.37) илюстрира отличителната особеност на АЦП с двутактно интегриране точността да не зависи от елементите на интегратора  $R$  и  $C$  и от

мерната единица  $T_0$ . Необходимо е само те да остават постоянни по време и на първия, и на втория такт на интегриране.

Предимство на АЦП с двутактно интегриране е че, променливо напрежение, чийто период е кратен на продължителността на първия такт на интегриране, се потиска напълно. Обикновено продължителността на първия такт на интегриране се избира да бъде кратна на периода на промишлената мрежа и така се потискат всички смущения с мрежова честота. Това се използва широко в много цифрови измервателни уреди.

Аналогово-цифровите преобразуватели с двутактно интегриране се използват при преобразуване на бавноизменящи се напрежения. С тях лесно се осигурява разрешаваща способност 10–18 разряда. Управляващото устройство се изгражда с логически схеми, като понастоящем се използват специализирани интегрални схеми и микроконтролери.